



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08009383 A**(43) Date of publication of application: **12 . 01 . 96**

(51) Int. Cl.

**H04N 7/32**  
**G06T 9/00**  
**H03M 7/30**

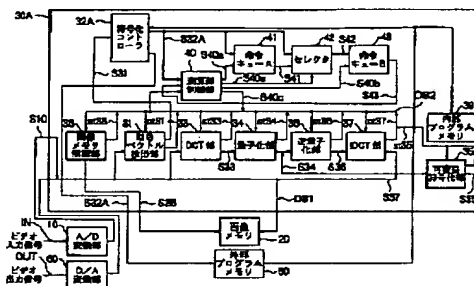
(21) Application number: **06137176**(71) Applicant: **OKI ELECTRIC IND CO LTD**(22) Date of filing: **20 . 06 . 94**(72) Inventor: **YAMADA YOICHI**(54) **IMAGE ENCODER**

(57) Abstract:

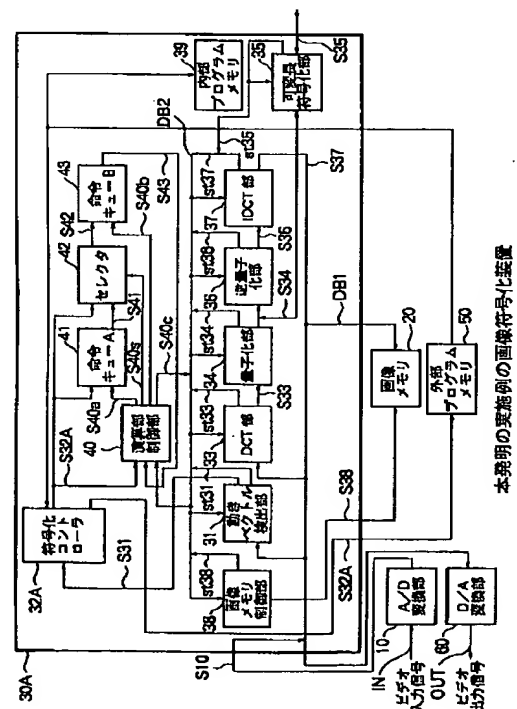
**PURPOSE:** To simplify the control method of an encoding operation circuit in an image encoder.

**CONSTITUTION:** In an instruction queue A41, a control code is written by the command of an operation part control part 40 when the activation time of the encoding operation part operated by the control code outputted from an encoding controller 32A is later than the activation time of the encoding operation part operated by the control code outputted after the control code. In the instruction queue B43, the control code is written by the command of the operation part control part 40 when the control code outputted from the encoding controller 32A is not written in the instruction queue A41 or in the case of reading and transferring the control code stored in the instruction queue A41. A selector 42 selects the control code outputted from the encoding controller 32A and the control code stored in the instruction queue A41 by the command of the operation part control part 40 and inputs it to the instruction queue B43.

COPYRIGHT: (C)1996,JPO



(11)特許出願公開番号



## 【特許請求の範囲】

【請求項1】 入力画像を所定の大きさの複数のブロックに分割して該各ブロック毎に逐次符号化演算を行う縦続接続された複数の符号化演算部を、  
備えた画像符号化装置において、  
前記複数の符号化演算部のうちの動作させる符号化演算部を選択するための選択情報と該符号化演算部を動作させる起動時刻に同期して転送する付加情報と該符号化演算部を起動させる順序を指定するための条件情報とで構成される制御コードを生成する制御コード生成手段と、  
前記制御コード生成手段から出力された前記制御コードを格納する命令格納手段と、  
前記制御コード生成手段から出力された前記制御コードを前記命令格納手段へ入力する入力順序と該命令格納手段から出力する該制御コードの出力順序とを異なった順序にし、該出力順序に基づいて前記各符号化演算部の動作を制御する演算部制御手段とを、  
設けたことを特徴とする画像符号化装置。

【請求項2】 前記命令格納手段は、  
前記制御コード生成手段から出力される制御コードにより動作させる符号化演算部の起動時刻が該制御コードよりも後に出力される制御コードにより動作させる符号化演算部の起動時刻より遅い場合に前記演算部制御手段の指令により該制御コードが書込まれる第1の命令格納手段と、  
前記制御コード生成手段から出力される前記制御コードが前記第1の命令格納手段に書込まれない場合又は前記第1の命令格納手段に格納された制御コードを読出して転送する場合に、前記演算部制御手段の指令により制御コードが書込まれる第2の命令格納手段と、  
前記制御コード生成手段から出力される制御コードと前記第1の命令格納手段に格納された制御コードとを前記演算部制御手段の指令により選択して前記第2の命令格納手段へ入力する選択手段とを備え、  
前記演算部制御手段は、  
前記第2の命令格納手段への前記制御コードの書込み手順を前記各符号化演算部を動作させる順序と同一とし、  
前記各符号化演算部の起動時刻を前記第2の命令格納手段への前記制御コードの書込み順序に従うようにしたことを、  
特徴とする請求項1記載の画像符号化装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、テレビ電話やテレビ会議システム等に使用される画像符号化装置における符号化演算回路の制御回路に関するものである。

## 【0002】

【従来の技術】 画像の符号化、中でも情報量が膨大な動画画像を符号化してデータ圧縮する技術は盛んに開発されている。符号化の方法は、動き補償と離散コサイン変換

(Discrete Cosine Transform、以下、DCTという)を基本としたものである。従来、このような分野の技術としては、例えば、次のような文献に記載されるものがあつた。

文献1；オプトロニクス、[NO.5]、(1992)、オプトロニクス社、大久保栄、“テレビ電話・会議における符号化” P.74-79

文献2；オプトロニクス、[NO.5]、(1992)、オプトロニクス社、片山泰男、“蓄積媒体における符号化” P.86-98

文献3；映像情報、[NO.6]、(1992)、産業開発機構、小松和夫、“IIT社のVC&VP構成による画像符号化、復号化チップの概要” p.91-100

前記文献1及び文献2には、動き補償とDCTを基本とした符号化の方法が記載されている。又、前記文献3には、動画画像符号化を行うLSIについて記載されている。

【0003】 図2は、前記文献に記載された従来の画像符号化装置の一構成例を示す概略のブロック図である。

この画像符号化装置は、アナログ/デジタル(以下、A/Dという)変換部10、画像メモリ20、画像符号化部30、外部プログラムメモリ50、及びデジタル/アナログ(以下、D/Aという)変換部60を備えている。A/D変換部10は、ビデオ入力信号INを入力してA/D変換し、A/D出力データS10を出力するのである。A/D変換部10の出力側は、データバスDB1を介して画像データを記憶する画像メモリ20に接続されている。又、画像メモリ20は、データバスDB1を介して画像符号化部30中の動きベクトル検出部31に接続されている。動きベクトル検出部31は、画像メモリ20から符号化中のフレーム(以下、現フレームという)データと該現フレームデータの動きベクトルを算出するために参照するフレーム(以下、参照フレームという)のデータとを入力して現フレームの所定の領域のデータと相関が最大になる参照フレーム中の領域のデータを算出し、現フレームの前記所定領域の空間位置と前記相関が最大となった参照フレーム中の領域の空間位置との差分を動きベクトル情報S31とするものである。動きベクトル検出部31は、画像符号化部30中の符号化コントローラ32の動きベクトル情報入力部に接続されている。

【0004】 一方、画像メモリ20は、データバスDB1を介して画像符号化部30中のDCT部33に接続されている。DCT部33は、現フレームデータの8×8画素ブロックについて、画像メモリ20からデータを読み出し、原データ又は原データと動きベクトルで参照される位置にある参照フレームとの差分データに対して、周波数変換の一種であるDCTを行い、前記8×8画素ブロックを周波数スペクトルの表現に変換するものである。DCT部33は、画像符号化部30中の量子化部3

4に接続されている。量子化部34は、DCT出力S33を入力して所定の量子化代表値に変換し、量子化出力S34を生成するものである。量子化部34は、画像符号化部30中の可変長符号化部35に接続されている。可変長符号化部35は、量子化出力S34を入力し、それを量子化出力値の出現確率の大きさを考慮した符号に変換して符号化データS35を生成するものである。可変長符号化部35は、画像符号化部30中の逆量子化部36に接続されている。一方、量子化部34は、画像符号化部30中の逆量子化部36に接続されている。逆量子化部36は、量子化出力S34を入力して量子化部34における変換処理の逆の処理を行い、逆量子化出力S36を生成するものである。逆量子化部36は、画像符号化部30中のIDCT部37に接続されている。IDCT部37は、逆量子化出力S36を入力し、DCT部33で行った変換の逆変換を行い、8×8画素ブロックの画素データに復元し、IDCT出力S37として画像メモリ20へ出力するものである。

【0005】更に、この画像符号化部30は、画像メモリ制御部38を備えている。画像メモリ制御部38は、符号化処理の内容に対応した画像データを画像メモリ20に対して入出力するための画像メモリ制御信号S38を出力するものである。尚、符号化コントローラ32は、前記動きベクトル検出部31、DCT部33、量子化部34、可変長符号化部35、逆量子化部36、IDCT部37、及び画像メモリ制御部38に対する各制御命令をコントローラデータバスDB2を介して行うものである。これらの制御命令は、プログラム制御により行われ、そのプログラムは、内部プログラムメモリ39或いは外部プログラムメモリ50に格納されている。外部プログラムメモリ50へアクセスする時は、符号化コントローラ32から外部プログラムメモリ制御信号S32が出力されるようになっている。更に、画像メモリ20は、データバスDB1を介してD/A変換部60に接続されている。D/A変換部60は、画像メモリ20に蓄積された画像データをD/A変換してビデオ出力信号OUTを出力するものである。

【0006】次に、この画像符号化装置の動作を説明する。ビデオ入力信号INは、A/D変換部10でA/D変換され、A/D出力データS10としてデータバスDB1を経て画像メモリ20に格納される。動きベクトル検出部31は、符号化コントローラ32からの制御命令により、画像メモリ20から現フレームデータと参照フレームデータとを入力し、現フレームの所定の領域のデータと相関が最大になる参照フレーム中の領域のデータを算出し、現フレームの前記所定領域の空間位置と相関が最大となった参照フレームの領域の空間位置との差分を動きベクトル情報とする。又、動きベクトル検出部31は、前記検出した動きベクトル情報及び動きベクトル検出部31が動作中か否かを示す動きベクトル検出部ス

テータス $s t 3 1$ を符号化コントローラ32からの要求に応じて出力する。DCT部33は、符号化コントローラ32からの制御命令により、前記現フレームデータの8×8画素ブロックについて画像メモリからデータを読み出し、原データ又は原データと前記動きベクトルで参照される位置にある前記参照フレームとの差分データに対して、周波数変換の一種であるDCTを行い、前記8×8画素ブロックを周波数スペクトルの表現に変換する。又、DCT部33は、処理結果であるDCT出力S33を量子化部34へ出力すると共に、動作中か否かを示すDCT部ステータス $s t 3 3$ を符号化コントローラ32からの要求に応じて出力する。

【0007】量子化部34は、符号化コントローラ32からの制御命令により、DCT出力S33を入力して所定の量子化代表値に変換し、量子化出力S34として可変長符号化部35及び逆量子化部36へ出力すると共に、動作中か否かを示す量子化部ステータス $s t 3 4$ を符号化コントローラ32からの要求に応じて出力する。可変長符号化部35は、符号化コントローラ32からの制御命令により、量子化出力S34を入力して量子化出力値の出現確率の大きさを考慮した符号に変換して符号化データS35を出力する。符号化データS35を復号する処理を行う場合は、符号から量子化データへの逆変換を行い、逆量子化部36へ出力する。又、可変長符号化部35は、動作中か否かを示す可変長符号化部ステータス $s t 3 5$ を符号化コントローラ32からの要求に応じて出力する。逆量子化部36は、符号化コントローラ32からの制御命令により、量子化出力S34を入力して量子化部34における変換処理の逆の処理を行い、逆量子化出力S36としてIDCT部37に出力すると共に、動作中か否かを示す逆量子化部ステータス $s t 3 6$ を符号化コントローラ32からの要求に応じて出力する。IDCT部37は、符号化コントローラ32からの制御命令により、逆量子化出力S36を入力してDCT部33で行った変換の逆変換を行い、8×8画素ブロックの画素データに復元し、IDCT出力S37として画像メモリ20へ出力すると共に、動作中か否かを示すIDCT部ステータス $s t 3 7$ を符号化コントローラ32からの要求に応じて出力する。画像メモリ制御部38は、符号化コントローラ32からの制御命令により、符号化処理の内容に対応した画像データを画像メモリ20に対して入出力する処理を、画像メモリ制御信号S38を出力することにより行う。尚、以上説明した画像符号化部30は、複数のICで構成されるか又は1チップにLSI化される可能性がある。

【0008】

【発明が解決しようとする課題】しかしながら、図2の画像符号化装置では、次のような課題があった。即ち、符号化コントローラ32が符号化計算を行う各処理部に対して制御命令を出力する際、制御命令を出力するタイ

10

20

30

40

50

ミングと各処理部が演算を開始するタイミングとの同期制御、及び制御命令に含まれる制御パラメータの保持が複雑になるという問題点があった。次に、図3及び図4を用いてこれらの問題点を説明する。図3は、符号化処理における各処理部の動作手順を示す説明図である。符号化処理は、マクロブロック（以下、MBという）という16×16画素ブロック単位で行われる。1つのMBを処理する時間として許容される許容時間Tは、次のようにして求められる。即ち、画像の大きさをテレビ並みの720×480画素とし、フレーム周波数を30Hzとした場合、1フレーム当たりのMB数は、 $720 \times 480 / (16 \times 16) = 1350$  (MB/フレーム)

となる。従って、許容時間Tは、

$$T < (1/30) / 1350 = 24.6 \mu s$$

となり、画像符号化部30が、例えば、100MHzで動作したとしても、1MB当たりのサイクル数は、高々2460サイクルである。この限られたサイクル数の中でDCT、量子化、逆量子化、及びIDCTの流れで処理を行った場合、n番目（n；自然数）のMBであるMB<sub>n</sub>に対する最終処理IDCTの開始時刻は、次のMBであるMB<sub>n+1</sub>に対する初段処理であるDCTの開始時刻よりも後になる。即ち、各演算部動作制御プログラムは常に複数のMBの符号化処理を制御する必要がある。又、各演算部へ制御命令を出力して演算を開始させるタイミングは、プログラムで制御する必要がある。制御の方法は、例えば、各処理部のステータスをセンシングする方法、各処理部の終了した時刻に符号化コントローラへ割り込みをする方法、及び符号化装置内部に所定のMB処理同期でリセットされるタイマを設けてその値を参照する方法等が考えられるが、いずれも符号化コントローラのプログラム実行サイクル数を増加させることになり、符号化コントローラの負荷が大きくなる。

【0009】図4は、符号化コントローラ32が行う符号化処理プログラムの一例を示すフローチャートである。ステップs1では、処理するMBに対する符号化パラメータを読み込む。ステップs2では、DCT部33を起動するタイミングか否かを判定し、起動するタイミングである場合はステップs3へ進み、起動するタイミングでない場合はステップs2の始めに戻る。ステップs3では、DCT部33を起動する。ステップs4では、処理するMBに対する符号化パラメータを格納する。処理するMBの直前のMBに対する符号化パラメータを読み込む。ステップs5では、IDCT部37を起動するタイミングか否かを判定し、起動するタイミングである場合はステップs6へ進み、起動するタイミングでない場合はステップs5の始めに戻る。ステップs6では、処理するMBの直前のMBに対するIDCT部37を起動する。ステップs7では、処理するMBに対する符号化パラメータを読み込む。ステップs8では、量

子化部34を起動するタイミングか否かを判定し、起動するタイミングである場合はステップs9へ進み、起動するタイミングでない場合はステップs8の始めに戻る。

【0010】ステップs9では、量子化部34を起動する。ステップs10では、逆量子化部36を起動タイミングか否かを判定し、起動するタイミングである場合はステップs11へ進み、起動するタイミングでない場合はステップs10の始めに戻る。ステップs11では、逆量子化部36を起動する。ステップs12では、処理するMBに対する符号化パラメータを格納する。更に、次のMBを処理する準備をする。ステップs13では、全てのMBに対する処理を終了したか否かを判定する。上記各ステップのうちのステップs4、ステップs7、及びステップs12は、同時に2個のMBに対する処理制御を行うことによるオーバーヘッドを示し、ステップs2、ステップs5、ステップs8、及びステップs10は、各演算起動タイミング調整のためのオーバーヘッドを示す。以上のように、符号化コントローラ32の負荷が大きくなっていた。

#### 【0011】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、入力画像を所定の大きさの複数のブロックに分割して該各ブロック毎に逐次符号化演算を行う縦続接続された複数の符号化演算部を備えた画像符号化装置において、前記複数の符号化演算部のうちの動作させる符号化演算部を選択するための選択情報、該符号化演算部を動作させる起動時刻に同期して転送する付加情報、及び該符号化演算部を起動させる順序を指定するための条件情報で構成される制御コードを生成する制御コード生成手段を備えている。更に、前記制御コード生成手段から出力された前記制御コードを格納する命令格納手段と、前記制御コード生成手段から出力された前記制御コードを前記命令格納手段へ入力する入力順序と該命令格納手段から出力する該制御コードの出力順序とを異なった順序にし、該出力順序に基づいて前記各符号化演算部の動作を制御する演算部制御手段とが、設けられている。第2の発明では、第1の発明の命令格納手段は、第1の発明の制御コード生成手段から出力される制御コードにより動作させる符号化演算部の起動時刻が該制御コードよりも後に出力される制御コードにより動作させる符号化演算部の起動時刻より遅い場合に第1の発明の演算部制御手段の指令により該制御コードが書込まれる第1の命令格納手段と、前記制御コード生成手段から出力される前記制御コードが第1の命令格納手段に書込まれない場合又は第1の命令格納手段に格納された制御コードを読み出して転送する場合に、前記演算部制御手段の指令により制御コードが書込まれる第2の命令格納手段と、前記制御コード生成手段から出力される制御コードと第1の命令格納手段に格納された制御コードとを

前記演算部制御手段の指令により選択して第2の命令格納手段へ入力する選択手段とを備えている。前記演算部制御手段は、第2の命令格納手段への制御コードの書き込み手順を各符号化演算部を動作させる順序と同一とし、更に各符号化演算部の起動時刻を第2の命令格納手段への制御コードの書き込み順序に従うようにしている。

# 【0012】

【作用】第1の発明によれば、以上のように画像符号化装置を構成したので、制御コード生成手段は、予め設定されたプログラムに基づいて複数の符号化演算部を制御するための制御コードを生成する。命令格納手段は、前記制御コード生成手段から出力された制御コードを格納する。演算部制御手段は、前記制御コードを前記命令格納手段へ入力する入力順序と該命令格納手段から出力する該制御コードの出力順序とを異なった順序にし、かつこの出力順序に基づいて前記各符号化演算部の動作を制御する。第2の発明によれば、第1の命令格納手段には、制御コード生成手段から出力される制御コードにより動作させる符号化演算部の起動時刻が該制御コードよりも後に出力される制御コードにより動作させる符号化演算部の起動時刻より遅い場合、演算部制御手段の指令により該制御コードが書込まれる。第2の命令格納手段には、前記制御コード生成手段から出力される制御コードが第1の命令格納手段に書込まれない場合又は第1の命令格納手段に格納された制御コードを読出して転送する場合に、前記演算部制御手段の指令により選択手段を経て各符号化演算部を動作させる順序と同一の順序で制御コードが書込まれる。前記演算部制御手段は、第2の命令格納手段に書き込まれた制御コードの書き込み順序に従って各符号化演算部を起動する。従って、前記課題を解決できるのである。

# 【0013】

【実施例】図1は、本発明の実施例を示す画像符号化装置の概略の構成ブロック図であり、図2中の要素と共通の要素には共通の符号が付されている。この画像符号化装置は、図2中の画像符号化部30を画像符号化部30Aに代えたものである。画像符号化部30Aは、画像符号化部30中の符号化コントローラ32を制御コード生成手段である符号化コントローラ32Aに代え、演算部制御手段である演算部制御部40、第1の命令格納手段である命令キューA41、選択手段であるセクタ42、及び第2の命令格納手段である命令キューB43を設けたものである。符号化コントローラ32Aは、例えばマイクロコンピュータ等で構成され、動きベクトル情報S31を入力し、内部プログラムメモリ39又は外部プログラムメモリ50に格納されている制御プログラムのシーケンスに従って制御コードを生成して画像符号化部の制御を行うものである。符号化コントローラ32Aの出力側は、演算部制御部40、命令キューA41、及びセクタ42に接続されている。演算部制御部40

は、符号化コントローラ32Aからの制御コードS32Aに基づいて命令キューA制御信号S40a、キューセレクト信号S40s、命令キューB制御信号S40b、及び演算部制御信号S40cを生成するものである。演算部制御部40の出力側は、命令キューA41、セクタ42、及び命令キューB43に接続されている。命令キューA41は、命令キューA制御信号S40aに基づいて制御コードS32Aを格納するものである。命令キューA41の出力側は、セクタ42に接続されている。セクタ42は、キューセレクト信号S40sに基づいて制御コードS32A又は命令キューA41に格納されている制御コードS32Aと同一の制御コードS41を選択するものである。セクタ42の出力側は、命令キューB43に接続されている。命令キューB43は、命令キューB制御信号S40bに基づいてセクタ42からの信号S42を格納するものである。命令キューB43は、演算部制御部40に接続されている。尚、命令キューA41及び命令キューB43は、FIFO (First In First Out) 構造のメモリである。

【0014】更に、演算部制御部40は、動きベクトル検出部31、DCT部33、量子化部34、可変長符号化部35、逆量子化部36、IDCT部37、及び画像メモリ制御部38に対する各制御命令をコントローラデータバスDB2を介して行うものである。又、図2中のステータスst31～st37は、この図1では演算部制御部40に入力されるようになっている。他は、図2と同様の構成である。図5は、符号化コントローラ32Aから出力される制御コードの構成を示す構成図である。以下、制御コードの内容(1)～(5)を示す。

## (1) 書き込み命令キュー選択信号QAW

QAW=1のとき、制御コードは命令キューA41へ書込まれ、QAW=0のとき、命令キューB43へ書込まれる。命令キューA41には、制御コードにより処理される演算の起動時刻が、該制御コードより後に出力される制御コードにより処理される演算の起動時刻より遅くなる場合に書込まれる。それ以外の場合は、制御コードは、セクタ42を経て命令キューB43へ書込まれる。

## (2) 命令キュー間転送制御信号A-to-B

A-to-B=1のとき、制御コードは、命令キューA41から命令キューB43へ転送される。A-to-B=0のとき、前記転送は行われず、符号化コントローラ32Aから出力される制御コードが命令キューA41又は命令キューB43に書込まれる。

## (3) 起動演算部アドレスSTARTAD

どの演算部を起動するかを示す制御コードである。

## (4) 演算パラメータPARA

例えば、量子化ビット数等、起動する演算部に与えるパラメータである。

## (5) 終了条件演算部アドレスENDAD

10

20

30

40

50

どの演算部の動作が終了したら起動するかを示す制御コードである。

【0015】図6は、図1中の演算部制御部40の一構成例を示す概略の回路図であり、図のように接続されている。リセットR及びクロックCKは、画像符号化装置全体を動作させるものであり、外部から入力されるものである。セクタ42は、キューセレクト信号S40sが高レベル（以下、“H”という）のとき命令キューA出力S41を選択し、低レベル（以下、“L”という）のとき符号化コントローラ32Aから出力される演算制御コードS32Aを選択して出力する。演算制御コードS32Aは、符号化コントローラ32Aから出力され、符号化コントローラ32Aから演算制御関係の命令が出力されていることを示すステータス信号である。命令キューA制御信号S40aは、キューA書込みS40aW及びキューA読出しS40aRからなり、キューA書込みS40aWは、符号化コントローラ32Aから出力される制御コードを命令キューA41に書き込むための制御信号であり、演算制御コードS32Aが有効かつ書込み命令キュー選択信号QAWが有効なときに出力される。キューA読出しS40aRは、命令キューA41に格納された制御コードを読み出すための制御信号であり、演算制御コードイネーブル信号S32Aが有効かつ命令キュー間転送制御信号（A-to-B）が有効なときに出力される。命令キューB制御信号S40bは、キューB書込みS40bW及びキューB読出しS40bRからなり、キューB書込みS40bWは、セクタ42から出力される制御コードを命令キューB43に書き込むための制御信号であり、演算制御コードイネーブル信号S32Aが有効かつ書込み命令キュー選択信号QAWが有効でないときに出力される。キューB読出しS40bRは、命令キューB43に格納された制御コードを読み出すための制御信号である。キューAリセットRA及びキューBリセットRBは、キューとして使用するFIFOをリセットする信号であり、リセットRと同等である。

【0016】演算部制御信号S40c中の起動演算アドレスS40cA及び演算パラメータS40cPは、キューB読出しS40bRが有効、即ち、命令キューB43に格納された制御コードを読出すサイクルでバッファ75、76をオンすることにより出力される。キューB読出しS40bRが出力されると、命令キューB出力S43bとして起動演算部アドレスSTARTAD、演算パラメータPARA、及び終了条件演算部アドレスENDADが起動演算部アドレスレジスタ71、演算パラメータレジスタ72、及び終了条件演算部アドレスレジスタ73にそれぞれセットされる。前記セットされた次のサイクルから、ステータス読出し演算部アドレスS40cW及び演算部ステータス読出し信号S40cSがバッファ77及びバッファ78をオンすることにより出力される。終了条件演算部ステータスはステータスst31～

st37であり、ステータス読出し演算部アドレスS40cWに割り当てられた演算部が動作中であるとき

“H”、動作中でないとき“L”を示す。終了条件演算部ステータスが“L”であるとき、フリップフロップ74に“H”をセットする。終了条件演算部ステータスが“L”となった次のサイクルにおいて、起動演算アドレスS40cA及び演算パラメータS40cPを出力することにより、対応する演算部を起動すると共に、次の制御コードを命令キューB43から読出して起動演算部アドレスレジスタ71、演算パラメータレジスタ72、及び終了条件演算部アドレスレジスタ73にそれぞれ所定の値をセットする。

【0017】図7は、図3に示す制御シーケンスを実現するための符号化コントローラ32Aの制御プログラムのフローチャートである。この図を用いて図1の画像符号化装置による符号化の処理手順を説明する。ステップS71において、処理するMBの符号化パラメータを内部レジスタにセットする。ステップS72において、DCT部33を起動する制御コードを作成して命令キューB43へ書込む。ステップS73において、処理するMBの直前に処理したMBを指定する制御コードを作成し、このMBのIDCTを起動する制御コードを命令キューA41から命令キューB43へ転送する。ステップS74で、量子化部34を起動する制御コードを作成して出力し、命令キューB43へ書込む。ステップS75で、逆量子化部36を起動する制御コードを命令キューB43へ書込む。ステップS76で、IDCT部37を起動する制御コードを命令キューA41へ書込む。ステップS77で、全てのMBを終了したか否かを判定し、終了している場合はステップS78へ進み、終了していない場合はステップS71へ戻る。ステップS78で、最終MBのIDCT起動制御コードが命令キューA41に残っているのを、それを命令キューB43へ転送する。

【0018】以上のように、本実施例では、制御コードにより処理される演算の起動時刻が該制御コードより後に出力される制御コードにより処理される演算の起動時刻より遅くなる場合に、制御コードが命令キューA41に書込まれ、それ以外の場合には命令キューB43へ書込まれるようにしたので、符号化コントローラ32Aが2つの演算部を同時に制御する必要がなくなり、符号化コントローラ32Aが演算部処理シーケンス制御のために費やす負荷を軽減できる。なお、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(a) 命令キューA41及び命令キューB43をFIFOメモリとしたが、ランダムアクセスメモリで構成してもよい。

(b) 各演算部を起動する条件として、或る演算部の動作終了を例にしているが、或る所定の絶対時刻として

もよい。又、何らかの同期信号発生装置からの相対時刻としてもよい。

(c) 起動条件は1つではなく複数としても演算部制御部の構成が若干複雑になるだけで本発明が実現する。

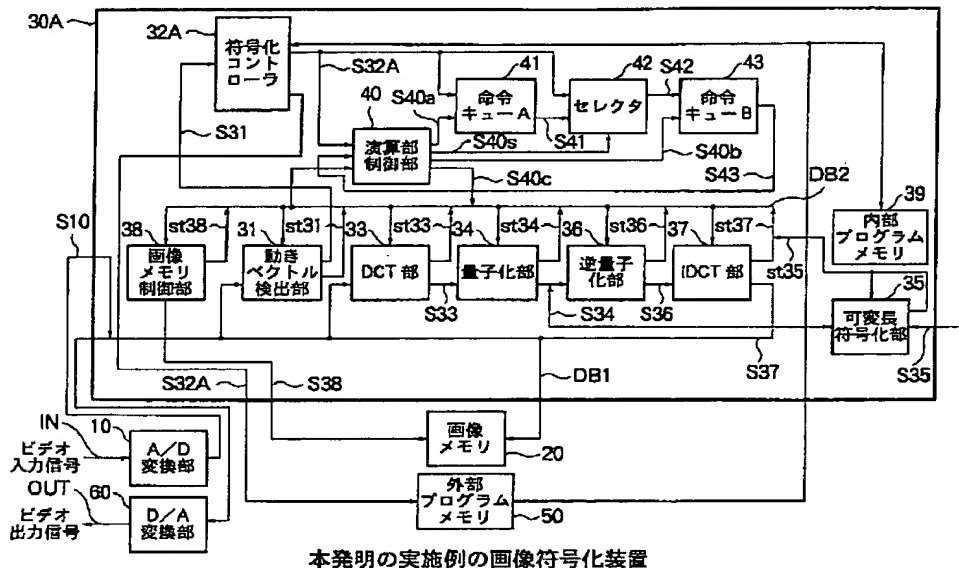
#### 【0019】

【発明の効果】以上詳細に説明したように、第1及び第2の発明によれば、制御コード生成手段から出力される制御コードにより動作させる符号化演算部の起動時刻が該制御コードよりも後に出力される制御コードにより動作させる符号化演算部の起動時刻より遅い場合に、演算部制御手段の指令により該制御コードが第1の命令格納手段に書き込まれ、それ以外の場合には第2の命令格納手段に書き込まれるようにしたので、制御コード生成手段が2つの演算部を同時に制御する必要がなくなり、制御コード生成手段が演算部処理シーケンス制御のために費やす負荷を軽減できる。

#### 【図面の簡単な説明】

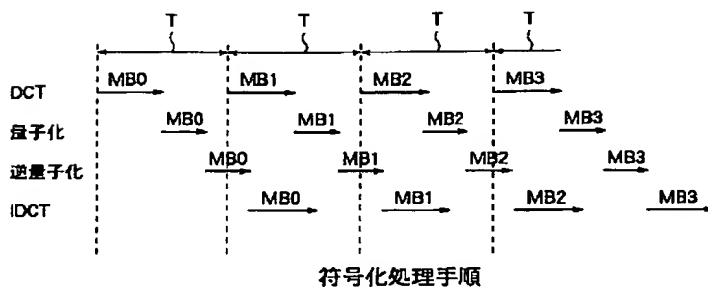
【図1】本発明の実施例を示す画像符号化装置の構成ブ\*

【図1】



本発明の実施例の画像符号化装置

【図3】



符号化処理手順

\* ロック図である。

【図2】従来の画像符号化装置の構成ブロック図である。

【図3】符号化処理の手順を示す説明図である。

【図4】従来の画像符号化装置の動作手順を示すフローチャートである。

【図5】制御コードの構成を示す構成図である。

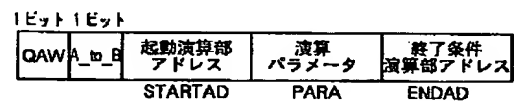
【図6】図1中の演算部制御部の概略の回路図である。

【図7】図1の動作手順を示すフローチャートである。

#### 【符号の説明】

- 30A 符号化コントローラ (制御コード生成手段)  
 40 演算部制御部 (演算部制御手段)  
 41 命令キューA (第1の命令格納手段)  
 42 セレクタ (選択手段)  
 43 命令キューB (第2の命令格納手段)

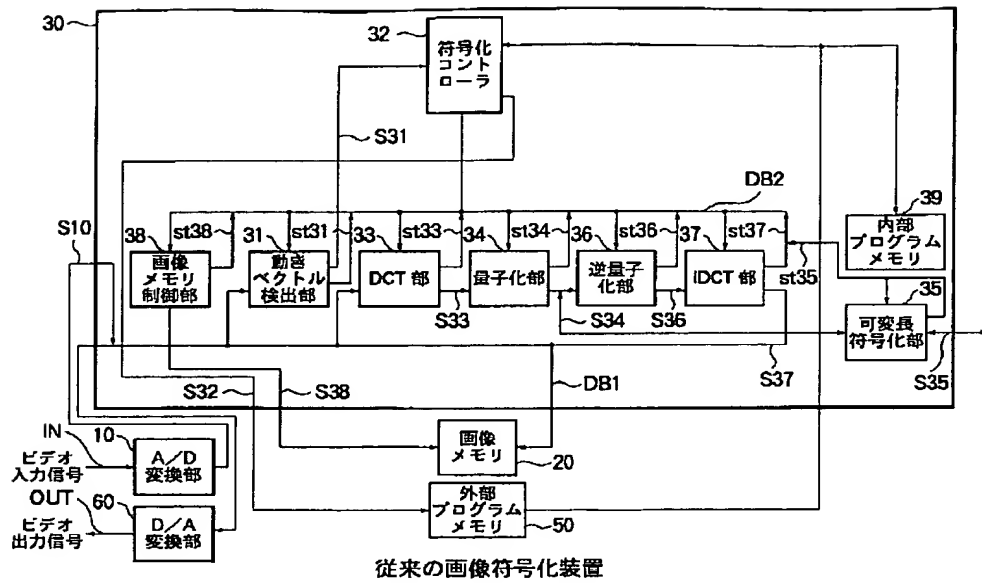
【図5】



制御コードの構成



【図 2】



【図 4】

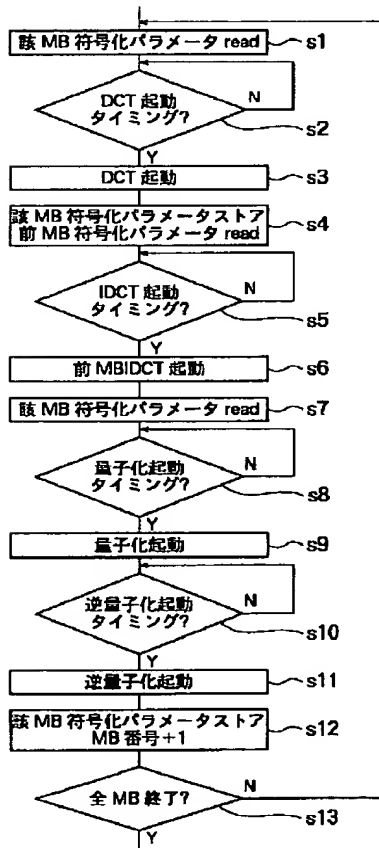


図 2 のフローチャート

【図 7】

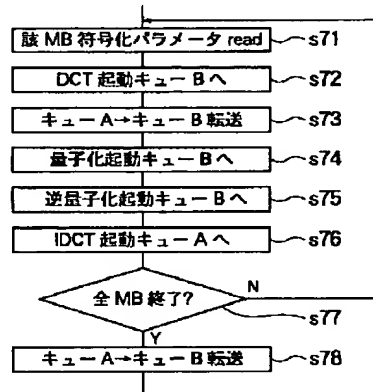


図 1 のフローチャート

【図 6】

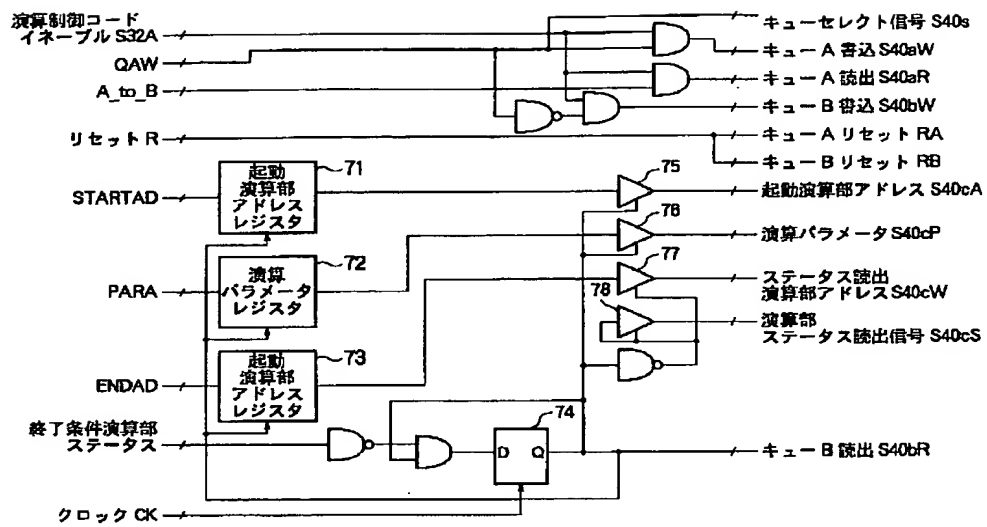


図 1 中の演算部制御部